

539, 928

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION
EN MATIÈRE DE BREVETS (PCT)(19) Organisation Mondiale de la Propriété
Intellectuelle
Bureau international(43) Date de la publication internationale
8 juillet 2004 (08.07.2004)

PCT

(10) Numéro de publication internationale
WO 2004/057658 A2(51) Classification internationale des brevets⁷ : **H01L 21/28****DELEONIBUS, Simon** [FR/FR]; 40, allée des Giteaux,
La Chanteraie, F-38640 CLAIX (FR).

(21) Numéro de la demande internationale :

PCT/FR2003/050173

(74) Mandataire : **POULIN, Gérard**; c/o BREVATOME, 3
rue du Docteur Lancereaux, F-75008 PARIS (FR).

(22) Date de dépôt international :

15 décembre 2003 (15.12.2003)

(81) État désigné (*national*) : **US**.

(25) Langue de dépôt :

français

(84) États désignés (*régional*) : brevet européen (AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,
IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

(26) Langue de publication :

français

(30) Données relatives à la priorité :

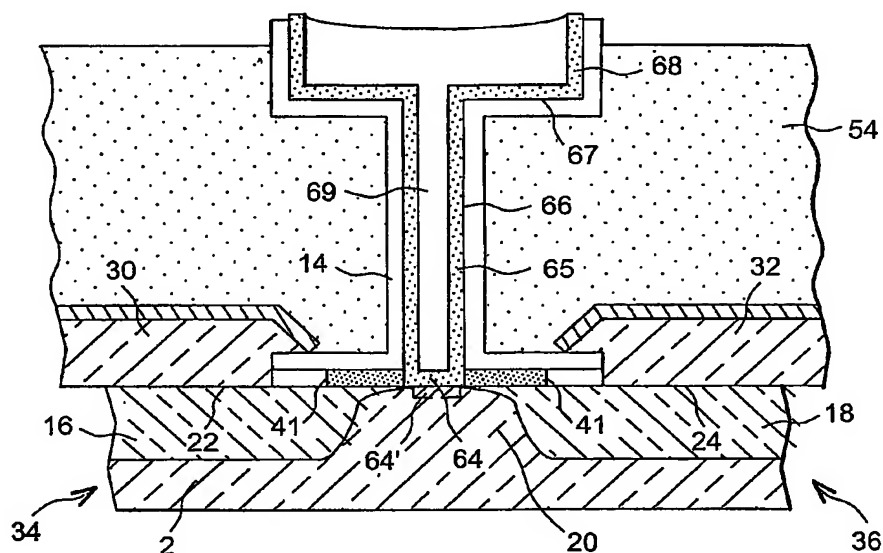
02 15916

16 décembre 2002 (16.12.2002) **FR**

Publiée :

— sans rapport de recherche internationale, sera republiée
dès réception de ce rapport(71) Déposant (*pour tous les États désignés sauf US*) : **COM-
MISSARIAT A L'ENERGIE ATOMIQUE** [FR/FR];
31-33 rue de la Fédération, F-75752 PARIS 15ème (FR).*En ce qui concerne les codes à deux lettres et autres abrévia-
tions, se référer aux "Notes explicatives relatives aux codes et
abréviations" figurant au début de chaque numéro ordinaire de
la Gazette du PCT.*

(72) Inventeur; et

(75) Inventeur/Déposant (*pour US seulement*) :(54) Title: **MIS TRANSISTOR WITH SELF-ALIGNED GATE AND METHOD FOR MAKING SAME**(54) Titre : **TRANSISTOR MIS A GRILLE AUTO-ALIGNEE ET SON PROCEDE DE FABRICATION**

(57) Abstract: The invention concerns a MIS transistor having a T-shaped gate characterized by the presence of a shape material (14) coating a solid T shape. The gate structure is housed in the envelope formed by the shape material (14). The coating of the T shape of the gate by the shape material (14) is carried out right from the beginning of the production of the gate structure and is selected such that it is resistant to all the subsequent processes for manufacturing the transistor and is maintained, thereby defining the final shape of the gate structure, thus resulting in a perfectly controlled gate shape.

[Suite sur la page suivante]

WO 2004/057658 A2



(57) Abrégé : Un transistor MIS ayant une grille en T est caractérisé par la présence d'un matériau (14) de forme enrobant une forme pleine en T. La structure de grille est logée dans l'enveloppé formée par le matériau de forme (14) . L'enrobage de la forme en T de la grille par le matériau de forme (14) est réalisé dès le début de la réalisation de la structure de grille et est choisi de façon telle qu'il résiste à tous les traitements ultérieurs de fabrication du transistor et subsiste, définissant ainsi la forme définitive de la structure de grille. On obtient ainsi une forme de grille parfaitement contrôlée.

1

TRANSISTOR MIS A GRILLE AUTO-ALIGNEE ET SON PROCEDE DE
FABRICATION

DESCRIPTION

5

DOMAINE TECHNIQUE

La présente invention se rapporte à un transistor MIS à grille auto-alignée et à son procédé de fabrication. On entend par transistor MIS un
10 transistor ayant une structure de type Métal-Isolant-Semiconducteur telle que, par exemple les transistors MOS (Métal-Oxyde-Semiconducteur).

L'invention concerne plus particulièrement la fabrication sur un substrat de silicium de tels
15 transistors, aptes à fonctionner dans le domaine des hyperfréquences.

L'invention trouve des applications en micro-électronique pour la fabrication de circuits hyperfréquence et/ou de puissance, par exemple pour la
20 réalisation de circuits utilisables dans le domaine des télécommunications.

ETAT DE LA TECHNIQUE ANTERIEURE

De façon connue, les composants et circuits de
25 type hyperfréquence sont habituellement réalisés sur des substrats en arséniure de gallium (AsGa) ou sur des substrats de silicium (Si).

Pour raisons de coût, les circuits réalisés sur substrat d'arséniure de gallium ne sont
30 généralement pas d'une grande complexité et ne

présentent pas une densité d'intégration élevée. L'architecture de ces circuits n'est de ce fait pas optimisée du point de vue de leur compacité.

La figure 1 annexée donne également un exemple
5 de composant hyperfréquence, en l'occurrence un transistor MOS (Metal Oxide Semi-conductor), réalisé sur un substrat de silicium.

Le transistor de la figure 1 comporte une région de source 10, une région de canal 12 et une
10 région de drain 14 définies dans un substrat 16 de silicium. La source 10 et le drain 14 sont, par exemple, formés par implantation d'impuretés dopantes de type n si le canal 12 est de type p, ou de type p si le canal 12 est de type n.

15 Une couche isolante d'oxyde de silicium 18 est formée à la surface du substrat 16 et recouvre les régions de source 10, de canal 12 et de drain 14.

Une ouverture non traversante 20 est pratiquée par gravure dans la couche d'oxyde 18, sensiblement à
20 l'aplomb de la région de canal 12. Au fond de l'ouverture 20, une mince couche 22 d'oxyde forme une isolation de grille. Une grille 24 est enfin formée dans l'ouverture 20 au dessus de la couche 22 d'isolation de grille.

25 Le matériau formant la grille 24, en l'occurrence un métal, présente une faible résistivité et autorise ainsi un fonctionnement à haute fréquence du transistor réalisé.

La densité d'intégration des dispositifs
30 réalisés conformément à la figure 1 dépend de la précision avec laquelle l'ouverture 20, et partant, la

grille 24, sont alignées par rapport au canal 12 et par rapport aux régions 10, 14 de source et de drain. Cette précision dépend directement de la qualité des outils de fabrication (notamment d'alignement) des dispositifs à semi-conducteur.

De façon connue, dans le cadre de la réalisation de circuits intégrés à transistors MOS sur un substrat de silicium, une solution pour augmenter la compacité et la densité d'intégration des circuits consiste à auto-aligner la grille 24 par rapport aux zones 10, 14 de source et de drain.

On considère que la grille 24 est auto-alignée par rapport aux zones 10, 14 de source et de drain lorsque la position relative de la grille 24 et des zones 10, 14 de source et de drain ne résulte pas d'un alignement des moyens mis en oeuvre (masques par exemple) pour réaliser ces parties, mais lorsque la position des zones 10, 14 de source et de drain est directement définie par la position de la grille 24 elle-même. De façon pratique, l'auto-alignement de la grille par rapport aux régions de source et de drain résulte d'un procédé de formation des régions 10, 14 de source et de drain dans lequel ces régions sont formées par implantation d'impuretés dans le substrat en utilisant la grille, réalisée antérieurement, comme masque d'implantation. L'emplacement de la grille fixe ainsi précisément et automatiquement la position de la source 10 du canal 12 et du drain 14.

Les procédés de formation de transistors avec une grille auto-alignée par rapport aux zones de source et de drain, impliquent généralement des traitements

thermiques effectués à haute température. A titre d'exemple, dans des procédés de réalisation de transistors MOS sur silicium à grille auto-alignée, un traitement thermique à une température de l'ordre de
5 750°C ou plus est effectué après l'implantation d'impuretés, afin d'activer les zones de source et de drain.

Par ailleurs, une densification ou un fluage de l'isolant placé entre la grille et le premier niveau
10 de métal d'interconnexions est effectué dans un domaine de température sensiblement identique.

Par ailleurs, comme évoqué ci-dessus, il est nécessaire d'utiliser un matériau de grille de faible résistivité pour obtenir un fonctionnement de
15 transistor à haute fréquence. A titre indicatif, lors de la fabrication de dispositifs de type hyperfréquence, c'est-à-dire qui fonctionnent en général à une fréquence supérieure à 100 MHz, le matériau de grille utilisé pour réaliser les
20 transistors doit présenter préférentiellement une résistivité comprise environ entre 1 et 100 $\mu\Omega$.cm.

Il s'avère que les matériaux présentant une résistivité située dans la gamme indiquée soit ne sont pas capables de supporter les températures des
25 traitements thermiques mis en œuvre dans les procédés indiqués de fabrication de transistors à grille auto-alignée, soit supportent ces températures mais diffusent et viennent contaminer des couches adjacentes, réduisant leurs performances.

30 Un matériau fréquemment utilisé pour la réalisation de la grille des transistors à grille auto-

alignée est le silicium polycristallin (Si poly). Le silicium polycristallin est en effet apte à supporter la température, couramment de l'ordre de 750°, des traitements thermiques mis en œuvre lors de la formation de ces transistors. La résistivité du silicium polycristallin, de l'ordre de $10^3 \mu\Omega \cdot \text{cm}$, n'est pas compatible avec les applications envisagées des transistors dans le domaine hyperfréquence. On ne sait par ailleurs pas diminuer suffisamment la résistivité du silicium polycristallin pour obtenir un fonctionnement des transistors en hyperfréquence. La plupart des métaux sont capables également de supporter les traitements thermiques, mais ils diffusent dans les couches adjacentes, ce qui transforme les performances de ces couches.

Ainsi par exemple, il est souvent difficile d'utiliser un matériau de grille de faible résistivité comme le cuivre (Cu) ou l'argent (Ag) compatible avec l'intégration CMOS. Dans le cas de Cu la diffusion dans l'oxyde de silicium, y compris en dessous de 400° est très rapide et nécessite l'emploi d'un matériau barrière comme par exemple le nitrure de titane (TiN), pour empêcher la diffusion. TiN est connu pour être une bonne barrière pour Cu mais l'emploi de ce matériau est limité aux tensions d'alimentation supérieures ou égales à 1,5 volts. L'argent s'oxyde très facilement y compris à basse température, ce qui augmente sa résistivité. Ag est donc également difficile à employer. Etant donné le fait que l'on ne peut utiliser les matériaux les moins résistifs, il est connu de diminuer la résistance de grille en utilisant une

grille en forme de T ayant une barre verticale dont le dessous se situe au dessus d'une couche isolante surplombant le canal. L'impédance d'ensemble de la grille, en particulier la capacité parasite (capacité
5 Miller) entre la grille et la source et le drain et la source est faible, car la surface de recouvrement entre la grille et la source ou la grille et le drain est limité à la section de la barre verticale du T. La résistance de la grille elle-même est diminuée par la
10 présence de la barre horizontale du T qui est plus large que la barre verticale. Le transistor réalisé avec une telle grille en T peut être auto aligné ou non. Comme expliqué plus haut l'emploi de la grille non auto alignée impacte de façon négative la densité
15 d'intégration de dispositifs utilisant cette technologie.

Un exemple connu de réalisation d'un transistor ayant une grille en T et une source et un drain auto alignés sur cette grille est décrit dans le
20 brevet FR 2 757 312 (US 6 346 450) du même inventeur.

Dans cet exemple de réalisation le procédé de fabrication sur un substrat semiconducteur d'un transistors MIS (Métal-Isolant-Semi-conducteur) comporte les étapes suivantes :

25 a) la réalisation sur le substrat d'une grille factice constituée d'un ou plusieurs matériau(x) apte(s) à résister à un traitement thermique. La grille factice est réalisée par exemple, par formation sur le substrat d'un
30 empilement de couches comprenant dans l'ordre, une couche d'oxyde dite couche piédestal, une couche de

silicium polycristallin ou amorphe et une couche de nitrure de silicium. On réalise ensuite la mise en forme de l'empilement par gravure pour constituer la forme de la grille factice avec des flancs latéraux.

5 b) la formation dans le substrat de régions de source et de drain auto-alignées sur la grille factice,

 c) l'enrobage latéral de la grille factice avec au moins un matériau isolant électrique,

10 d) l'élimination de la grille factice et la formation à la place de la grille factice d'une grille définitive constituée d'un ou plusieurs matériau(x) de faible résistivité, la grille définitive étant séparée du substrat par une couche
15 d'isolant de grille.

 Un tel procédé dans lequel l'emplacement de la grille est tout d'abord occupé par une grille factice, cette grille factice étant remplacée dans une phase terminale par la grille définitive est dit procédé
20 damascène.

 La grille factice, réalisée au cours du procédé, a une double fonction : elle permet, dans un premier temps, de définir l'emplacement des régions de source et de drain lors de l'étape b), puis de définir
25 l'emplacement de la grille définitive du transistor en matériau de faible résistivité. En effet, l'enrobage de la grille factice sur ses flancs latéraux forme, après l'élimination de cette grille factice, un "moule" pour la grille définitive.

30 Dans un exemple de réalisation décrit dans le brevet précité le transistor se présente comme

représenté sur la figure 2 des dessins annexés à la présente demande. Cette figure correspond à la figure 5 du brevet précité. La description qui va suivre de cette figure est destinée à faire apercevoir un exemple
5 d'état du stade de fabrication d'un transistor, avant élimination de la grille factice. Elle décrit l'état du transistor à ce stade de la fabrication indépendamment des modes de réalisation pour arriver à cet état.

Sur un substrat de silicium 100 par exemple
10 dopé p sont implantés des régions de source et de drain graduelles repérées sur la figure 2 avec les références 118 et 120. Ces régions 118, 120 sont implantées de part et d'autre d'une zone de canal 112. Une couche de siliciure, formée au dessus des régions de source 118
15 et de drain 120, est indiquée avec les références 119 et 121 respectivement.

Un empilement 110 de couches formant ensemble la grille factice est implanté au dessus du canal 122 et de la couche de siliciure 119, 121. Cet empilement
20 comprend une couche 114 dite d'oxyde thermique, dont la partie inférieure vient immédiatement au dessus des couches 119, 121 et du canal 122. Une partie centrale de l'empilement 110 comporte au dessus de la couche 114 d'oxyde thermique, une couche de silicium
25 polycristallin ou amorphe 104 puis une couche de nitrure de silicium 106. Les flancs de cette partie centrale sont bordées de l'intérieur vers l'extérieur par une remontée de la couche 114 d'oxyde thermique, des espaceurs latéraux 116 par exemple en oxyde de
30 silicium dopé au phosphore ou en PSG (phosphosilicate glass), et enfin une autre couche 124 en oxyde de

silicium dopé au phosphore. Cette dernière couche 124 borde les flancs latéraux de l'empilement 110 au niveau des espaceurs 116 et vient également au dessus des couches 119, 121 de siliciure. La partie inférieure des
5 espaceurs 116 repose sur une partie périphérique de la couche 114.

Une couche 126, soit d'oxyde de silicium intrinsèque non intentionnellement dopée, soit de borophosphosilicate (BPSG) se situe au dessus de la.
10 Couche 124 et enrobe l'empilement de grille 110.

L'épaisseur totale des couches 104 et 106 est, par exemple, de l'ordre de 100 à 500 nm et correspond sensiblement à l'épaisseur de la grille du transistor qui sera finalement obtenue au terme du procédé de
15 fabrication.

L'exemple qui a été décrit ci-dessus en liaison avec la figure 2, a été donné afin de faire apercevoir que l'attaque chimique qui va être réalisée à partir de ce stade de la fabrication, pour former une
20 ouverture dont la forme va déterminer la forme définitive de la grille en T, doit remplir des conditions qui sont difficiles à remplir et qui conduisent à des dispersions des dimensions et des formes des ouvertures qui sont préjudiciables d'une
25 part à une intégration dans des dispositifs CMOS à technologie 60 nm ou moins car on contrôle mal la taille d'une partie évasée de l'ouverture destinée à former la barre horizontale du T de la future grille. D'autre part on contrôle mal également les dimensions
30 de la partie inférieure de la barre verticale du T, ce qui conduit à un risque d'augmentation du recouvrement

des source et drain par la grille, et en conséquence à un risque d'augmentation de la capacité de Miller, ce qui est préjudiciable à un fonctionnement en haute fréquence.

5 A partir de l'état représenté figure 2 l'élimination de la grille factice comprend une étape finale de gravure chimique par exemple à l'acide fluorhydrique. Pour obtenir une forme de l'ouverture qui soit évasée, correspondant sensiblement à la forme
10 en T que l'on souhaite obtenir pour la grille, il convient d'effectuer un choix particulier des matériaux des couches 114, 116, 124 et 126. L'attaque à l'acide, plus ou moins rapide selon les matériaux, permet d'évaser une ouverture 130 représentée figure 3, selon
15 un profil particulier choisi. Dans le cas de l'exemple décrit, il s'agit, vu en coupe, d'un profil en T.

 En effet, à titre d'exemple la vitesse d'attaque de la couche des espaceurs latéraux 116 en PSG est 5 fois supérieure à la vitesse d'attaque de
20 l'oxyde thermique 114 et 3 fois supérieure à la vitesse d'attaque de l'oxyde intrinsèque de la couche 126. Si la couche 126 est en borophosphosilicate (BPSG) on note que la vitesse d'attaque du PSG est 6 fois supérieure à celle du BPSG.

25 En règle générale la forme de l'évasement obtenu pour la barre horizontale du T est tributaire de l'attaque des espaceurs latéraux dont la taille dépend avant tout de l'optimisation des source et drain et qui doivent être obligatoirement fabriqués avec un matériau
30 ayant une vitesse d'attaque plus grande que le matériau utilisé pour la planarisation.

EXPOSÉ DE L'INVENTION

L'invention a pour but de proposer un transistor MOS qui présente des performances améliorées par rapport aux transistors de l'art antérieur.

Un autre but est de proposer un tel transistor particulièrement compact compatibles avec la réalisation de circuits CMOS (MOS complémentaires) avec une grande densité d'intégration.

L'invention vise un transistor MIS, ayant une résistance de grille et une capacité de Miller de valeur contrôlée et reproductible présentant une fréquence de coupure très élevée permettant de fonctionner dans la gamme des hyperfréquences, par exemple supérieures à 200 gigahertz.

Dans une forme de réalisation l'invention vise en outre un transistor ayant des courants de fuite inférieurs à ceux de l'art antérieur.

L'invention a également pour but de proposer des procédés de réalisation d'un tel transistor.

Un but de la présente invention est, par conséquent, de proposer un procédé de fabrication d'un transistor MIS à grille, source et drain auto-alignés et susceptible de fonctionner dans la gamme des hyperfréquences.

A toutes ces fins l'invention est relative à un transistor MIS auto-aligné ayant une zone de source et une zone de drain de part et d'autre d'une zone de canal, ainsi qu'une structure de grille en forme de T composée d'une barre verticale située au dessus de la

zone de canal, surmontée d'une barre horizontale dépassant de part et d'autre de la barre verticale, cette barre horizontale ayant une partie inférieure, une partie latérale et une partie supérieure, la
5 structure de grille étant constituée par un empilement de une ou plusieurs couches conductrices, une zone de pied de la structure de grille étant définie comme étant autour du pied de la barre verticale du T, caractérisé en ce que la structure de grille est
10 enrobée dans un matériau de forme, ce matériau recouvrant la zone de pied de la structure, la barre verticale du T, et les parties inférieure et latérale de la barre horizontale du T.

Les expressions horizontales et verticales ou
15 supérieur, inférieur employées dans la présente demande ne font pas référence à la direction horizontale et à la direction verticale terrestre. Par convention, la direction horizontale est celle du plan d'une plaquette supportant les transistors, et la direction verticale
20 est la direction perpendiculaire à cette plaquette.

Dans un mode de réalisation, des premières zones d'extension entre les zones de canal et de source et drain respectivement ont un dopage de même nature que les zones de sources et drain mais plus faible. .

25 Dans un autre mode de réalisation des secondes zones d'extension entre les zones de canal et de source et drain respectivement ou entre les zones de canal et les premières zones d'extension ont un dopage de nature opposé à celui des zones de sources et drain.

30 L'invention est également relative à un procédé de fabrication sur un substrat semiconducteur

d'au moins transistor MIS auto-aligné ayant une zone de source et une zone de drain de part et d'autre d'une zone de canal, ainsi qu'une structure de grille en forme de T composée d'une barre verticale située au
5 dessus de la zone de canal, surmontée d'une barre horizontale dépassant de part et d'autre de la barre verticale, cette barre horizontale ayant une partie inférieure, une partie latérale et une partie supérieure, la structure de grille étant constituée par
10 un empilement de une ou plusieurs couches conductrices, une zone de pied de la structure de grille étant définie comme étant autour du pied de la barre verticale du T, caractérisé en ce qu'il comporte une étape de réalisation d'une forme pleine ayant la forme
15 en T de la grille que l'on veut réaliser, et l'enrobage de cette forme dans un matériau de forme, ce matériau recouvrant la zone de pied de la structure de grille, la barre verticale du T, et les parties inférieure et latérale de la barre horizontale du T de la grille
20 définitive.

Lorsqu'il est dit que le matériau d'enrobage recouvre la zone de pied de la structure de grille, la barre verticale du T, et les parties inférieure et latérale de la barre horizontale du T de la grille
25 définitive, on veut dire que ce matériau sera conservé tout au long des étapes ultérieures de fabrication, et subsistera dans le transistor. Il s'agit donc d'un matériau apte à résister à tous les traitements chimiques postérieurs à sa pose.

Dans un mode de réalisation le matériau de forme recouvre une partie au moins des zones de source et de drain.

De préférence le matériau d'enrobage sera
5 constitué par du nitrure de silicium Si_3N_4 , de l'oxyde d'hafnium HfO_2 , de l'oxyde de zirconium ZrO_2 ou encore par de l'oxyde d'aluminium Al_2O_3 .

Dans le cas où le matériau initial formant la forme pleine initiale enrobée par le matériau de forme
10 n'est pas le matériau formant la grille, il pourra s'agir pour la barre verticale du T d'un métal ou de silicium polycristallin et pour la barre horizontale d'un bicouche formé par une première sous couche de silicium polycristallin, ou d'un métal ou d'un
15 siliciure, et d'une seconde sous couche de silice ou de nitrure de silicium. Le matériau formant la grille définitive pourra quant à lui être par exemple un métal ou du silicium polycristallin.

Dans le cas où le matériau initial formant la
20 forme pleine initiale enrobée par le matériau de forme est le matériau initial formant la grille, il pourra s'agir pour la barre verticale du T de métal oxydable ou de silicium polycristallin et pour la barre horizontale d'un métal ou d'un siliciure pour la
25 première sous couche et de silice ou de nitrure de silicium pour la seconde sous couche.

De préférence lorsque le matériau d'enrobage est constitué par du nitrure de silicium Si_3N_4 , le matériau constituant la forme pleine initiale pourra
30 être du silicium polycristallin et le matériau final du métal ou du silicium polycristallin. Lorsque le

matériau initial est le même que le matériau final de grille il pourra s'agir de métal oxydable ou de silicium polycristallin.

De préférence lorsque le matériau d'enrobage
5 est constitué par de l'oxyde d'hafnium HfO_2 , le matériau constituant la forme pleine initiale pourra être un métal ou du silicium polycristallin et le matériau final du métal ou du silicium polycristallin. Lorsque le matériau initial est le même que le matériau
10 final de grille il pourra s'agir de métal oxydable ou de silicium polycristallin.

De préférence lorsque le matériau d'enrobage est constitué par de l'oxyde de zirconium ZrO_2 , le matériau constituant la forme pleine initiale pourra
15 être un métal ou du silicium polycristallin et le matériau final un métal ou du silicium polycristallin. Lorsque le matériau initial est le même que le matériau final de grille il pourra s'agir de métal ou de silicium polycristallin

20 BREVE DESCRIPTION DES DESSINS

D'autres caractéristiques et avantages de l'invention ressortiront mieux de la description qui va suivre faite en référence aux dessins annexés dans
lesquels :

- 25 - la figure 1, déjà décrite, est une coupe transversale schématique d'un transistor MOS de type connu formé sur un substrat semi-conducteur massif ;
- la figure 2, déjà décrite, est une coupe transversale schématique représentant une étape de
30 réalisation d'un transistor ayant une grille en T ;

- la figure 3, déjà décrite, est une coupe transversale schématique d'une étape de réalisation d'un transistor représentant en particulier la forme d'une ouverture en T dans laquelle va s'insérer une grille.

Les figures 1 à 3 sont relatives à l'art antérieur.

Les figures 4 à 13 représentent des coupes transversales de transistors en cours de fabrication et représentent la forme de ce qui sera appelé à devenir en fin de processus de fabrication un transistor selon l'invention.

Ces figures sont plus spécialement orientées vers la formation de la grille du transistor car c'est cette grille qui est plus spécifiquement concernée par l'invention.

Dans la description qui va suivre, des couches de matériau sont découpées ou implantées pour obtenir des formes et des modifications des propriétés des matériaux de ces couches. A chaque fois qu'il n'y a pas de confusion possible, la couche initiale et ce qu'elle est devenue après traitement portent le même numéro de référence.

EXPOSE DETAILLE DE MODES DE REALISATION PARTICULIERS

La figure 4 représente la forme d'une grille réalisée selon l'invention. Le mode d'obtention de cette forme sera maintenant décrit. cette forme est réalisée sur un substrat 2, par exemple, en silicium dopé p. Sur ce substrat est réalisé un empilement de couches comme suit. Tout d'abord, une couche 4 dans un matériau à forte permittivité, les restes de cette

couche formeront plus tard un isolant de grille ou de piédestal. Cet isolant est sacrificiel ou non. Il pourra, par exemple, s'agir d'une couche de silice (SiO_2) ou d'une couche de SiO_xN_y ou d'oxyde d'hafnium HfO_2 , ou d'oxyde de zirconium ZrO_2 ou encore d'oxyde d'aluminium Al_2O_3 . Vient ensuite une couche 6 de matériau de grille sacrificielle ou non, selon que la grille est réalisée selon un procédé damascène ou non. Ce matériau de grille pourra être, par exemple, un métal ou du silicium polycristallin. Enfin, on trouve une couche 8 qui sera appelée à former un masque dur, elle même formée de deux sous couches 10, 12, une première 10 et une seconde 12. La première sous couche 10 pourra être, par exemple, un silicium poly intrinsèque ou un métal ou un siliciure. La sous couche 12 de surface pourra être, par exemple, une couche de silice. La gravure du masque dur 8 formé par une sous couche de silicium polycristallin intrinsèque 10 et une sous couche de silice 12 est effectuée, pour donner la forme de la barre horizontale du T qui sera une partie de la forme de la grille définitive. La barre verticale 6 de la structure de grille en T est effectuée par gravure isotrope de la couche 6 en métal ou en silicium polycristallin, sous le masque dur 8, sélectivement par rapport à l'isolant de grille 4 ou piédestal. Le rôle de la couche de silice 12 sera par la suite d'éviter la croissance d'une couche épitaxiale et la siliciuration de la structure de grille. A la fin de cette première étape on obtient la forme en T de la future grille. Cette forme repose sur un piédestal 4, sur lequel repose sensiblement en son centre la forme de la barre

verticale 6 du T constituée par exemple d'une couche de silicium polycristallin fortement dopée (As, bore, phosphore) ou d'une couche d'alliage de Si : Ge : C. La forme de la barre horizontale 8 du T vient au-dessus de la barre verticale 6 sous forme du masque dur 8. La barre verticale 6 du T comporte une surface inférieure 61 au contact de la couche d'isolant 4, une surface latérale 62 et une surface supérieure 63 au contact de la sous couche inférieure 10 du masque dur 8. La barre horizontale 8 du T comporte une surface inférieure 81, une surface latérale 82 et une surface supérieure 83.

A partir de l'état représenté figure 4 on arrive aux états représentés figure 5 de la façon suivante.

La structure en T représentée figure 4 est enrobée avec un matériau de forme 14 dont la fonction sera de conserver la forme de la structure en T jusqu'à la fin du procédé de fabrication. Il permettra, par conséquent, de conserver aussi la taille des motifs. Le choix du matériau de forme 14 suppose que les différents traitements physico-chimiques qu'il subira au cours du procédé de fabrication le consommeront peu, voire le laisseront intact. En effet, les procédés d'élimination du masque dur 8, de la grille sacrificielle formée des matériaux contenus dans la barre verticale 6 et la barre horizontale 8 du T, de l'oxyde sacrificiel 4, et les divers nettoyages précédant le dépôt de l'empilement de grilles définitif doivent laisser intact ou consommer le moins possible ce matériau de forme. Le matériau de forme 14 pourra être déposé par une technique LPCVD (Low pressure

Chimical Vapor Deposition). Des matériaux tels que Si_3N_4 , HfO_2 , ZrO_2 ou Al_2O_3 par exemple sont susceptibles de répondre aux exigences susmentionnées pour le matériau de forme 14. Le matériau de forme 14 représenté figure 5 enrobe complètement la structure en T représentée figure 4, et vient recouvrir la couche 4 d'isolant de grille. On note en particulier que le matériau 14 recouvre complètement la surface latérale 62 de la barre verticale 6, les surfaces inférieure 81 et supérieure 83 de la barre horizontale 8 ainsi que la surface latérale 82 de cette barre horizontale. Dans l'exemple représenté sur la figure 5, la couverture du pied de grille par le matériau 14 s'étend de façon à couvrir une partie de zones 16 et 18 qui deviendront après implantation comme expliqué ci après la source et le drain respectivement. Evidemment, les surfaces inférieure et supérieure 61 et 63 de la barre verticale du T, qui sont en contact respectivement avec l'oxyde de grille 4 et la surface inférieure 81 du T, ne sont pas enrobées. Après dépôt du matériau de forme 14, on réalise par masquage des zones complémentaires n et p. Selon une première variante, on procède, de façon en elle-même connue, à l'implantation ionique des zones 16 et 18 de la couche 2, qui deviendront ainsi comme indiqué ci-dessus la source et le drain. De façon à ce que le bord de grille ne soit pas masqué par l'ombre portée du masque dur 8, on inclinera le faisceau d'implantation ionique, comme indiqué par des flèches sur la figure 5, de façon à ce que les ions implantés puissent arriver en bord de grille. On obtiendra ainsi une implantation source et drain graduelle, avec une

seule implantation ionique. On s'affranchit ainsi de la nécessité d'une réalisation de deux implantations ioniques successives. Comme décrit en relation avec la figure 2 on réalise habituellement au voisinage de la grille une première implantation ionique faible, par exemple, quelques $10^{13}/\text{cm}^3$ à quelques $10^{14}/\text{cm}^3$. Une deuxième implantation plus forte, par exemple, de quelques 10^{14} à quelques $10^{15}/\text{cm}^3$ est réalisée après la pose d'espaceurs représentés en 116 sur la figure 2.

10 Dans le mode de réalisation, ici décrit, le masque dur 8 joue entre autres le rôle d'espaceur. On procédera à la rotation des plaquettes pendant l'implantation ionique afin de conserver la symétrie des structures.

Selon une seconde variante l'implantation est réalisée de façon dissymétrique comme représenté figure 5, conduisant à des zones source et drain 16, 18 dissymétriques.

On exploite un effet d'ombrage de l'implantation ionique dû au masque dur 8 et une inclinaison du faisceau d'ions telle que les dopants ne passent pas sous la grille d'un seul côté par exemple côté drain. On obtient alors un transistor dissymétrique comportant une zone 19 entre la zone de canal 20 et la source ou le drain, non recouverte faiblement implantée représentée en traits pointillés figure 5 entre la zone de canal et le drain, pouvant être avantageusement exploitée pour les applications autres que les applications logiques. Il suffit de ne pas faire subir de rotation au substrat pendant l'implantation et d'orienter la plaquette de telle façon que l'on obtienne la dissymétrie, l'orientation

des structures de grille sur le substrat étant connue par masquage.

Les applications intéressantes sont :

1) transistors MIS à haute tension. La
5 tension d'avalanche du drain est augmentée par rapport à un transistor implanté de façon traditionnelle conduisant à une implantation symétrique, car le non recouvrement de la grille par le drain ajoute une résistance série côté drain au canal. Une partie de la
10 tension appliquée est reportée sur la zone 19 non recouverte par la grille située entre une zone de drain 18 non ombragée par le masque 8 et le bord de grille.

2) mémoires MIS statiques. Dans ce cas, on
pourra utiliser la zone 19 non recouverte comme
15 résistance de charge de transistors de bascule (flip-flop. Voir l'article "Semiconductor Memories" de D.A.Hodges p.7, IEEE Press 1972. On peut ajuster le dopage du substrat en surface côté drain dans la zone 19 représentée en pointillés, de façon à ajuster la
20 valeur de la résistance de charge côté drain. Cette résistance peut rapidement atteindre des valeurs de plusieurs kohms à plusieurs Mohms suivants le dopage utilisé. On note que l'ajustage de la résistance série côté drain est obtenu par une orientation du substrat à
25 180° de l'implantation précédente, cette dernière orientation favorisant l'ombrage côté source.

A la fin de cette deuxième étape, on obtient la forme représentée figure 5. Sur le substrat 2, il a été réalisé ainsi une zone de canal 20, correspondant à
30 la zone non implantée du substrat 2, avec de part et d'autre des zones implantées 16, 18, de source et de

drain respectivement ainsi que la structure en T représentée figure 4 enrobée comme indiqué plus haut par le matériau de forme 14. Lorsque l'implantation est dissymétrique on a de plus une zone 19 faiblement
5 implantée par rapport aux autres zones 16, 18 de source et de drain.

A partir des formes représentées figure 5, on procède ensuite à une gravure anisotrope du matériau de forme 14. L'objectif de cette gravure est de dégager
10 les zones 16 et 18 de source et de drain respectivement. Sur la figure 6, seule la forme obtenue à partir d'une implantation symétrique a été représentée.

La forme obtenue à l'issu de cette gravure est
15 représentée figure 6. Par rapport à la forme représentée figure 5, on voit que la surface supérieure du matériau de forme 14, recouvrant la surface supérieure 83 de la grille factice et une partie de la surface latérale supérieure 82 de la barre horizontale
20 8 du T ne sont plus recouvertes du matériau d'enrobage 14. De même, la partie supérieure de la couche 4 d'isolant de grille dépassant de part et d'autre d'une projection verticale de la barre horizontale 8 du T de grille sur le plan de la couche 4, n'est plus
25 recouverte du matériau d'enrobage 14.

A partir de l'état représenté figure 6, on arrive à l'état représenté figure 7 de la façon suivante. on procède à la réalisation de source et drain surélevés de la façon suivante. On élimine la
30 partie de la couche 4 d'oxyde de piédestal/grille de façon sélective par rapport aux autres matériaux. On

utilisera pour cette élimination de l'acide fluorhydrique dans le cas où la couche 4 est de la silice SiO_2 , sinon on l'éliminera dans la foulée de la gravure sèche de la couche 14. A l'issue de cette

5 élimination il ne reste plus que la partie de couche 4 qui se trouve sous la barre horizontale du T. Cette partie de couche 4 est recouverte du matériau d'enrobage 14. Compte tenu de la gravure latérale de cette couche 4, il existe tout de même une zone

10 périphérique, sous la couche d'enrobage 14 qui se trouve gravée. Cette zone a été délimitée par des traits 41 sur la figure 7. Les surfaces dégagées par l'élimination d'une partie de la couche 4 et, se trouvant immédiatement au-dessus des zones 16 et 18 de

15 source et de drain ont été repérées 22 et 24 respectivement. On réalise ensuite des zones de source et de drain surélevées par une épitaxie sélective permettant d'épaissir à partir des surfaces 22 et 24 les zones de source et de drain 16 et 18

20 respectivement. On remarque que la croissance de la couche épitaxiale sélective peut se faire avec un facettage en bord de motif. Ce facettage a été représenté par une inclinaison 26, 28 de la couche de croissance épitaxiale elle-même repérée 30, 32, ces

25 couches 30, 32 se trouvant respectivement au-dessus des zones de source 16 et de drain 18. Etant donné que la partie exposée du masque dur 8 n'est pas du silicium ou un de ses alliages, il n'y a pas de croissance de couche épitaxiale sur la structure de grille. A l'issue

30 de cette étape le transistor futur a la forme représentée figure 7.

Par rapport à la figure 6, les zones de source et de drain ont été agrandies par un surélèvement. Une source 34 et un drain 36, sont maintenant formés par la partie 16 et la partie de croissance épitaxiale 30, et par la partie 18 et la partie de croissance épitaxiale 32 respectivement.

De façon optionnelle on peut à partir de l'état représenté figure 5, réaliser la gravure de la couche d'enrobage 14 pour éliminer la partie de cette couche se trouvant au-delà d'une surface située en dessous de la barre horizontale du T. On élimine également la partie d'oxyde de grille 4 se trouvant sous la couche 14 ainsi diminuée. Cette gravure de l'enrobage 14 fait également disparaître la partie de l'enrobage 14 se trouvant au dessus de la surface supérieure 83 et une partie supérieure de l'enrobage 14 de la surface latérale 82 de la barre horizontale 8 du T. On réalise ensuite la croissance épitaxiale des zones de source et drain 16 et 18 à partir des surfaces 22 et 24 respectivement de ces zones.

L'implantation ionique est alors réalisée après épaissement des zones de source et de drain de la même façon que celle décrite en relation avec la figure 5. L'implantation ionique réalisée après épaissement des sources et drain 16, 18 permet, de diminuer la profondeur de jonction dans les régions source 16 et drain 18 de la partie enterrée dans le substrat. Pour des raisons de clarté de la figure cette diminution de l'épaisseur des zones implantées 16 et 18 n'apparaît pas figure 8, mais il faut comprendre que ces zones sont moins épaisses dans le mode de

réalisation commenté en liaison avec la figure 8 que dans celui commenté en liaison avec la figure 7. En effet, une partie du dopant est retenue dans la couche épitaxiale surélevée 30, 32. La résistance de couches
5 des régions source 16 et drain 18 fortement dopées reste la même. Avec cette façon de faire, le courant de fuite des dispositifs ainsi réalisés pourra être diminué. La forme à laquelle on arrive après cette implantation, représentée figure 8, est la même que
10 celle représentée figure 7, à l'exception des zones 16 et 18 de source et de drain dont l'épaisseur est diminuée. On a également représenté en figure 8, une première variante optionnelle où la région des extensions entre la zone de canal et chacune des
15 régions de source 16 et de drain 18, a une profondeur de jonction plus importante que la région fortement dopée. Ces régions de plus grande profondeur sont représentées en pointillés en 42 et 44 figure 8. Pour obtenir ce résultat il suffit d'ajuster l'épaisseur du
20 matériau de mise en forme 14 par rapport à l'épaisseur des couches épitaxiales 30, 32 des source 16 et drain 18 surélevés.

Selon une seconde variante optionnelle représentée également figure 8, on réalise une seconde
25 implantation ionique, dites de poche. Alors que l'implantation ionique des régions de plus grande profondeur 42 et 44 correspond à l'implantation des extensions source et drain, la seconde implantation ionique est du même type que le substrat 2, et donc de
30 type opposé à l'implantation source et drain. Cette implantation se fait dans des poches 45, 46 qui se

trouvent sous les zones 42, 44 de première implantation ionique.

L'avantage de ces modes de réalisation est de permettre d'ajuster la résistance série de la source du transistor sous la grille tout en limitant la capacité parasite dans les zones de contact des source et drain surélevés 30 et 32. L'implantation de poche 45 et 46 permet en outre de diminuer la fuite des transistors sans influence notable sur les capacités parasites de la source et du drain 16 et 18 car l'épaisseur des couche 30 et 32 permet d'éviter la pénétration des ions implantés pour former les zones 45 et 46 sous les zones 16 et 18 respectivement.

Pour réaliser la première implantation ionique 42 et 44 on utilise par exemple :

As, P, Sb par exemple si les source et drain sont de type n ;

B, In, Ga, BF2 par exemple si les source et drain sont de type p ;

Pour réaliser les implantations de poche 45 et 46 on utilisera :

B, In, Ga, BF2 par exemple si les poches sont de type p (source et drain de type n) ;

As, P, Sb par exemple si les poches sont de type n (source et drain de type p).

A partir de l'état représenté en figure 7 ou en figure 8, la fabrication se poursuit comme il sera indiqué ci-après.

Les états de fabrication représentés respectivement aux figures 9 à 12 correspondent au cas représenté figure 7. Il convient de comprendre que la

poursuite de la fabrication à partir du cas représenté figure 8 est exactement la même que celle qui va être décrite maintenant. Après l'épitaxie figure 7, ou l'implantation dans le cas des figures 8, on réalise
5 une siliciuration des source et drain 16, 18 auto-alignés. Le masque dur est protégé superficiellement par la couche de SiO_2 et latéralement par la couche de forme 14. A l'issue de cette étape, le transistor 1 se trouve dans l'état représenté figure 9.
10 Les couches surélevées 30, 32 se trouvent recouvertes respectivement par une couche 50, 52 de siliciure. De façon connue, cette couche de siliciure sera utilisé pour la réalisation des contacts électriques.

A partir de l'état représenté figure 9, on
15 passe à l'état représenté figure 10 de la façon suivante, on dépose une couche isolante, par exemple d'oxyde, 54 cette couche recouvrant toute la partie représentée figure 9 y compris la forme en T de grille. Une planarisation de la couche 54 par polissage
20 mécano-chimique est alors réalisée. Lors de cette opération on attaque totalement la couche 12 de SiO_2 du masque dur 8 et partiellement la sous couche 10 de Si poly-intrinsèque ou de métal ou de siliciure. A l'issue de cette étape, on se trouve dans l'état représenté
25 figure 10. La couche d'oxyde isolant 54 enrobe totalement les zones 34, 36 de drain et source ainsi que les parties latérales de la barre verticale 6 du T et affleure au même niveau que ce qui reste de la sous couche 10 de Si poly-intrinsèque. On note que des
30 parties latérales de la couche 14 qui enrobaient la

partie latérale de la barre horizontale du T dépassent au-dessus de ce niveau.

A partir de l'état représenté figure 10, on arrive à l'état représenté figure 11 de la façon suivante, on élimine complètement la structure de grille sacrificielle, c'est-à-dire la couche 10 de Si poly-intrinsèque formant la barre horizontale du T ainsi que le silicium poly-intrinsèque dopé ou le SiGeC formant la barre verticale du T. Cette élimination est effectuée sélectivement par rapport à SiO_2 ainsi que par rapport au matériau de mise en forme 14. A l'issue de cette élimination, on se trouve dans l'état représenté figure 11, qui diffère de l'état représenté figure 10 par le fait que la partie interne du T a été vidée de son contenu, y compris la base du T formée par la couche d'isolant 4.

A partir de l'état représenté figure 11, afin de terminer la structure, on réalise ensuite l'empilement de la structure de grille définitif par dépôt d'un isolant de grille ou par oxydation du substrat 2.

Comme représenté figure 12, une couche d'isolant de grille 65 vient recouvrir totalement la surface interne de la couche d'enrobage 14 ainsi que la partie se trouvant immédiatement au-dessus de la zone de canal 20. La couche d'isolant 65 comporte ainsi une partie 64 prenant la place de la partie de couche 4 qui se trouvait sous la surface 63 de la barre verticale du T. De façon optionnelle représentée également figure 12, la partie 64 de la couche d'isolant de grille 65, pourra être remplacée par une partie 64', représentée

en pointillés figure 12, obtenue par oxydation de la couche 2 au pied de la barre verticale du T. La couche d'isolant de grille 65 comprend une partie 66 recouvrant la paroi interne latérale de la couche 14 qui formait la barre verticale du T. Elle comprend enfin des parties 67 et 68 qui recouvrent respectivement la surface interne de la partie inférieure et la partie latérale de la barre horizontale du T. Le matériau isolant de grille 65 peut être déposé, par exemple, par une méthode du type LPCVD donnant lieu à un dépôt conforme. Ce dépôt est suivi du dépôt d'un matériau 69 de grille par LPCVD également. Un polissage permettra de dégager des zones isolées non représentées et de planariser la structure de grille ainsi réalisée.

Dans le mode de réalisation ici décrit, la structure de grille a été réalisée en damascène.

Cette structure pourra également, comme représentée figure 13, être réalisée avec un matériau dans lequel l'empilement de grille de départ n'est pas sacrificiel. Dans ce cas, le matériau de grille et l'isolant de grille sont ceux que l'on souhaite en final. Le matériau de grille de départ contribuera à la résistance de la grille au cours de la fabrication. Tout en étant plus simple, ce procédé donne moins de souplesse quant au choix du matériau isolant de grille et du matériau de grille

Le passage de l'état représenté par exemple figure 6, à l'état représenté figure 13 sera maintenant succinctement décrit en omettant les étapes

d'implantation ioniques et leurs variantes qui sont les mêmes que celle déjà décrites.

Après que la gravure de la couche enrobante 14 a été effectuée c'est à dire dans l'état représenté figure 6, on procède à l'élimination de la couche 12 du masque dur 8. Si cette couche 12 est du SiO₂ déposé, on pourra procéder par attaque au FH dilué. Si l'isolant de grille 4 est du SiO₂ thermique il s'éliminera aussi lors de cette attaque mais à une vitesse 3 fois plus faible que l'isolant formant la couche 12. Un isolant du type HfO₂ s'attaquera difficilement (voire attaque quasi nulle) on l'éliminera du substrat par gravure sèche dans la foulée de la gravure de la couche 14; idem pour ZrO₂. Par contre Al₂O₃ s'éliminera à une vitesse comparable à celle de la couche 4 en SiO₂. On observera dans ce cas, un retrait de la couche 4 sous la couche 14, jusqu'à une limite 41, tel que décrite en relation avec la figure 7, et une mise à nu du matériau 10 qui est soit du Si polycristallin soit du métal soit du siliciure. Par la suite, on réalise l'épitaxie auto alignée et sélective sur les régions des source et drain 16, 18 ainsi que sur la couche 10 formant une couche 11 représentée figure 13. La couche 11 remplace sur la couche 10, la couche 12 de par exemple SiO₂. On procède ensuite à une siliciuration auto-alignée de zones 50, 52, et 53 au dessus des zones 30 et 32 de source et drain et de la couche 11 respectivement, puis au dépôt et à la planarisation d'un oxyde 54 déposé dans lequel on pourra venir réaliser les contacts sur les zones siliciurées 50, 52 et 53.

REVENDICATIONS

1. Transistor MIS (1) auto-aligné ayant une zone de source (16,30,34) et une zone de drain (18,32,36) de part et d'autre d'une zone de canal (20), ainsi qu'une structure de grille en forme de T composée d'une barre verticale (6) située au dessus de la zone de canal (20, surmontée d'une barre horizontale (8) dépassant de part et d'autre de la barre verticale (6), cette barre horizontale (8) ayant une partie inférieure (81), une partie latérale (82) et une partie supérieure (83), la structure de grille étant constitué par un empilement de une ou plusieurs couches conductrices (69), une zone de pied de la structure de grille étant définie comme étant autour du pied de la barre verticale (6) du T,

caractérisé en ce que la structure de grille est enrobée dans un matériau de forme (14), ce matériau (14) recouvrant la zone de pied de la structure, la barre verticale (6) du T, et les parties inférieure (81) et latérale (82) de la barre horizontale (8) du T.

2. Transistor MIS (1) auto-aligné selon la revendication 1, caractérisé en ce que la zone de pied recouverte par le matériau de forme (14) s'étend au dessus des zones de source (16,30,34) et de drain (18,32,36).

3. Transistor MIS (1) auto-aligné selon l'une des revendications 1 ou 2, caractérisé en ce que des premières zones d'extension (42, 44) entre les zones de canal (20) et de source et drain (16, 18)

respectivement ont un dopage de même nature que les zones de sources et drain (16, 18) mais plus faible.

4. Transistor MIS (1) auto-aligné selon l'une des revendications 1 ou 2, caractérisé en ce que des
5 secondes zones d'extension (45, 46) entre les zones de canal (20) et de source et drain (16, 18) respectivement ont un dopage de nature opposé à celui des zones de sources et drain.

5. Transistor MIS (1) auto-aligné selon la
10 revendication 3, caractérisé en ce que des secondes zones d'extension (45, 46) entre les premières zones d'extension (42, 44) et la zone de canal (20) respectivement ont un dopage de nature opposé à celui des zones de sources et drain (16, 18).

15 6. Transistor MIS (1) auto-aligné selon l'une des revendications 1 à 5, caractérisé en ce que le matériau de forme est du nitrure de silicium (Si_3N_4) ou de l'afnie (HfO_2) ou de l'oxyde de zirconium (ZrO_2) ou de l'alumine (Al_2O_3).

20 7. Transistor MIS (1) auto-aligné selon l'une des revendications 1 à 6, caractérisé en ce que l'empilement de couches constituant la structure de grille logée dans le matériau de forme (14) est du silicium polyintrinsèque ou un métal.

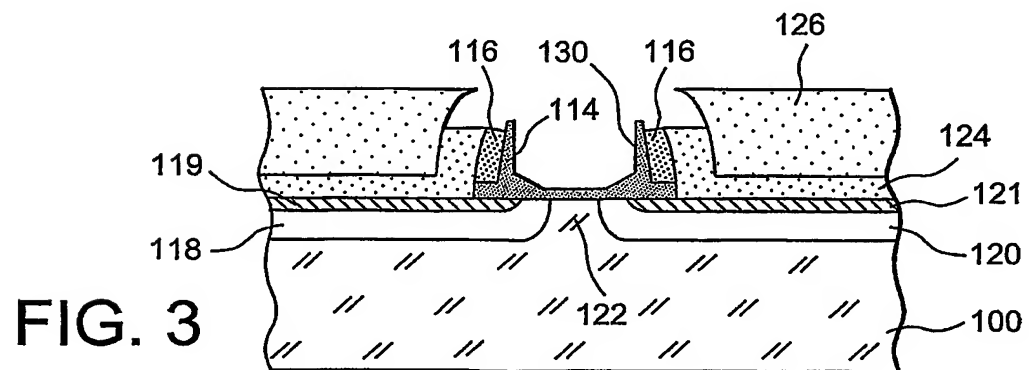
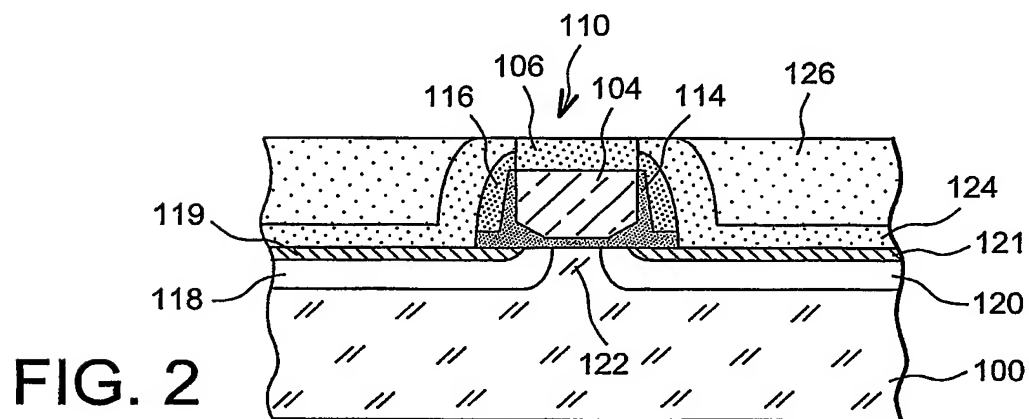
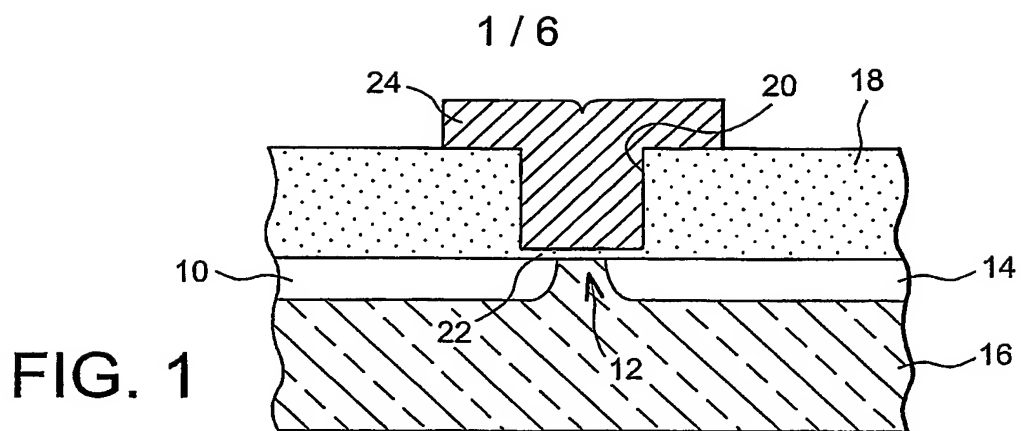
25 8. Procédé de fabrication sur un substrat (2) de semiconducteur d'au moins un transistor MIS (1) auto-aligné ayant une zone de source (16,30,34) et une zone de drain (18,32,36) de part et d'autre d'une zone de canal (20), ainsi qu'une structure de grille de
30 faible résistivité en forme de T composée d'une barre verticale (6) située au dessus de la zone de canal

(20), surmontée d'une barre horizontale (8) dépassant de part et d'autre de la barre verticale (6), cette barre horizontale (8) ayant une partie inférieure (81), une partie latérale (82) et une partie supérieure (83),
5 la structure de grille étant constituée par un empilement de une ou plusieurs couches conductrices (69), une zone de pied de la structure de grille étant définie comme étant autour du pied de la barre verticale (6) du T,

10 caractérisé en ce qu'il comporte une étape de réalisation d'une forme pleine ayant la forme en T de la grille que l'on veut réaliser, et l'enrobage de cette forme dans un matériau (14) de forme, ce matériau (14) de forme enrobant la surface latérale (62) de la
15 barre verticale (6) du T, les surfaces inférieure (81) et latérale (82) de la barre horizontale du T ainsi que la zone de pied de la structure de grille définitive.

9. Procédé selon la revendication 8 caractérisé en ce que le matériau de forme recouvre une
20 partie au moins des zones de source et de drain (16, 18).

10. Procédé selon l'une des revendications 8 ou 9 caractérisé en ce que le matériau de forme est du nitrure de silicium (Si_3N_4) ou de l'afnie (HfO_2) ou de
25 l'oxyde de zirconium (ZrO_2) ou de l'alumine (Al_2O_3).



2 / 6

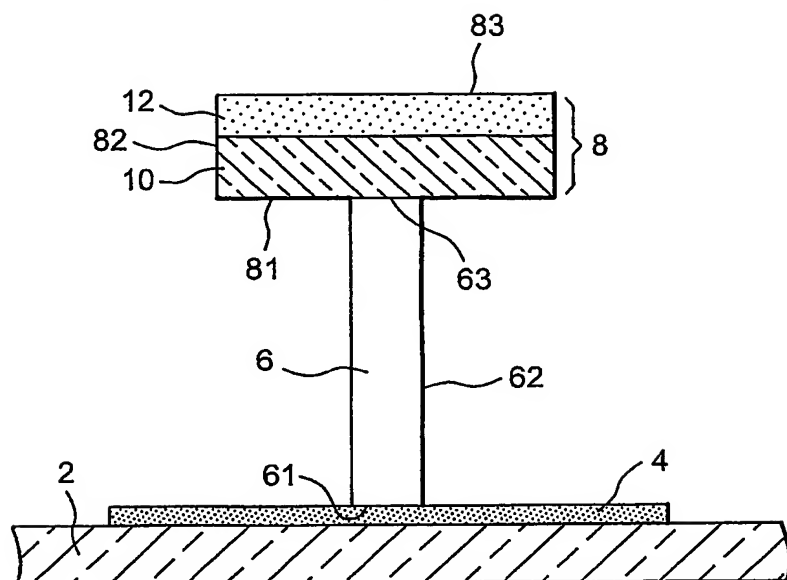


FIG. 4

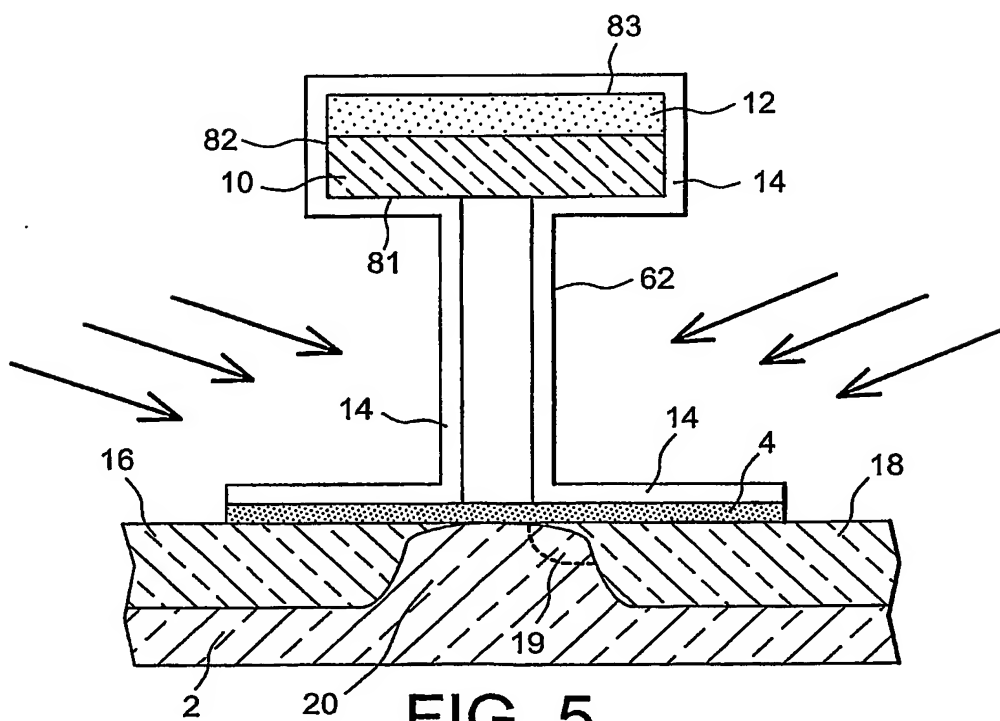


FIG. 5

3 / 6

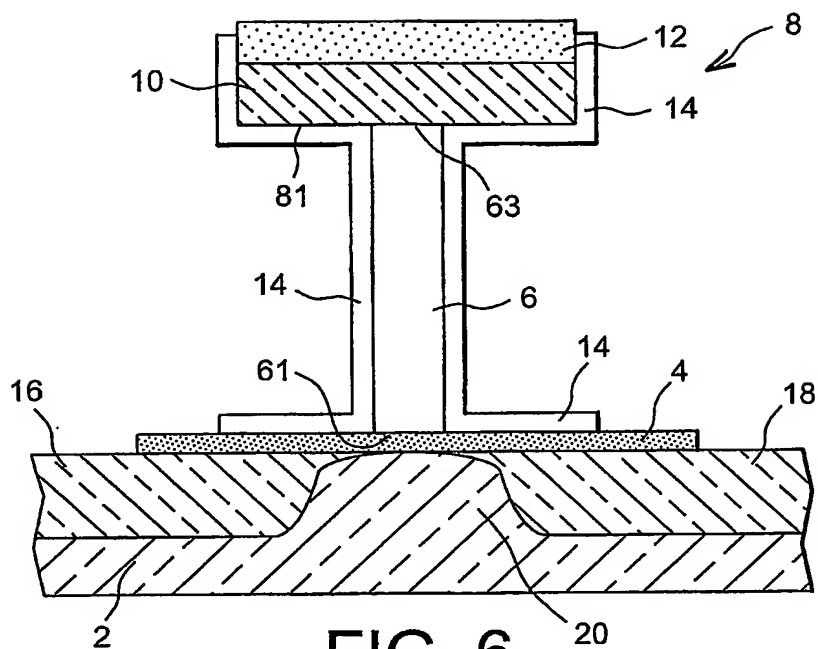


FIG. 6

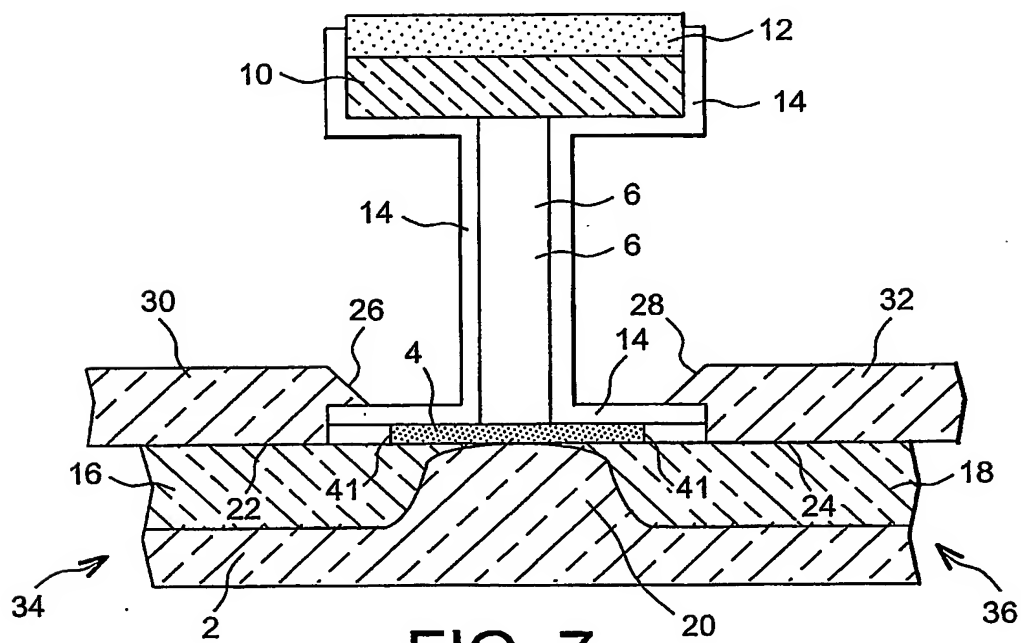
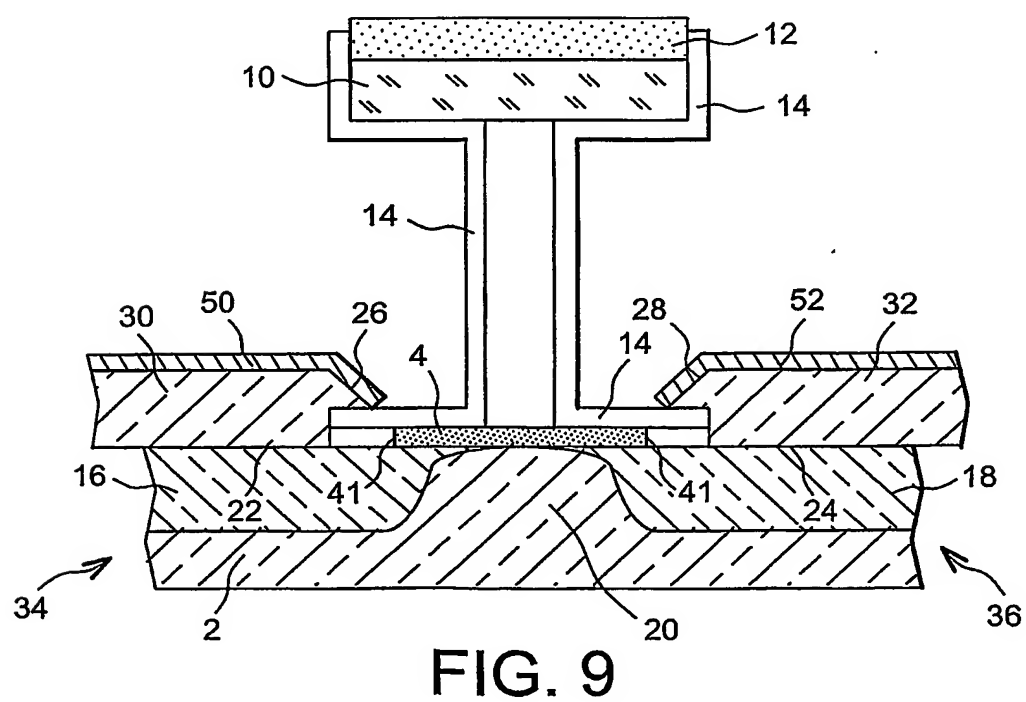
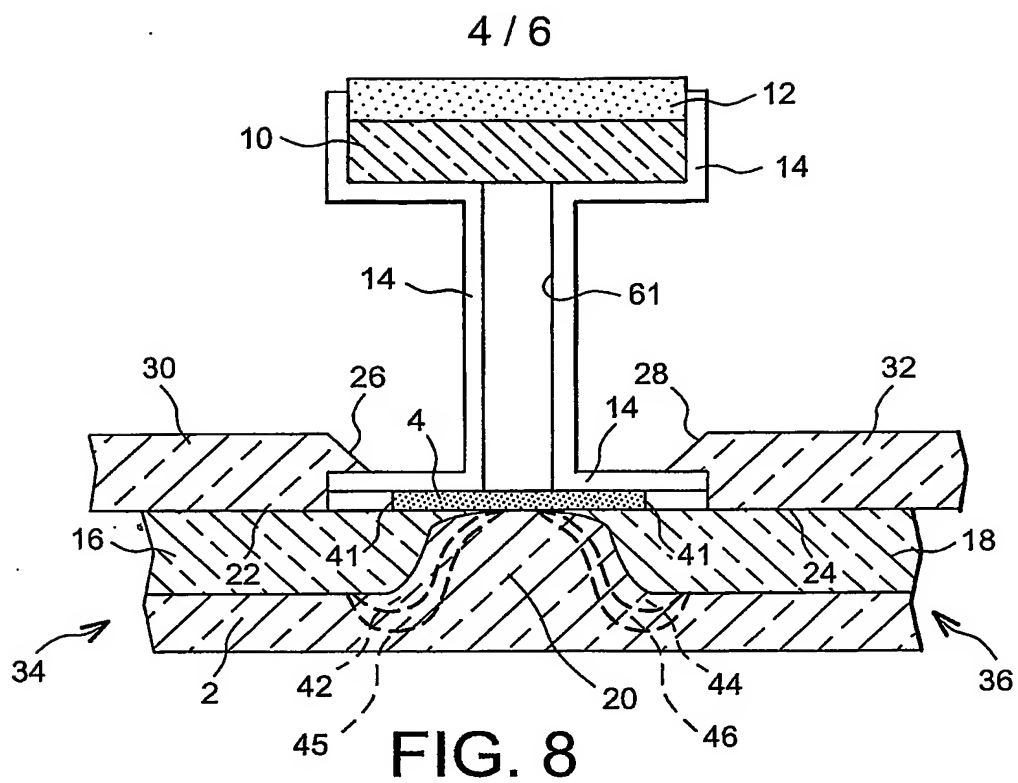


FIG. 7



5 / 6

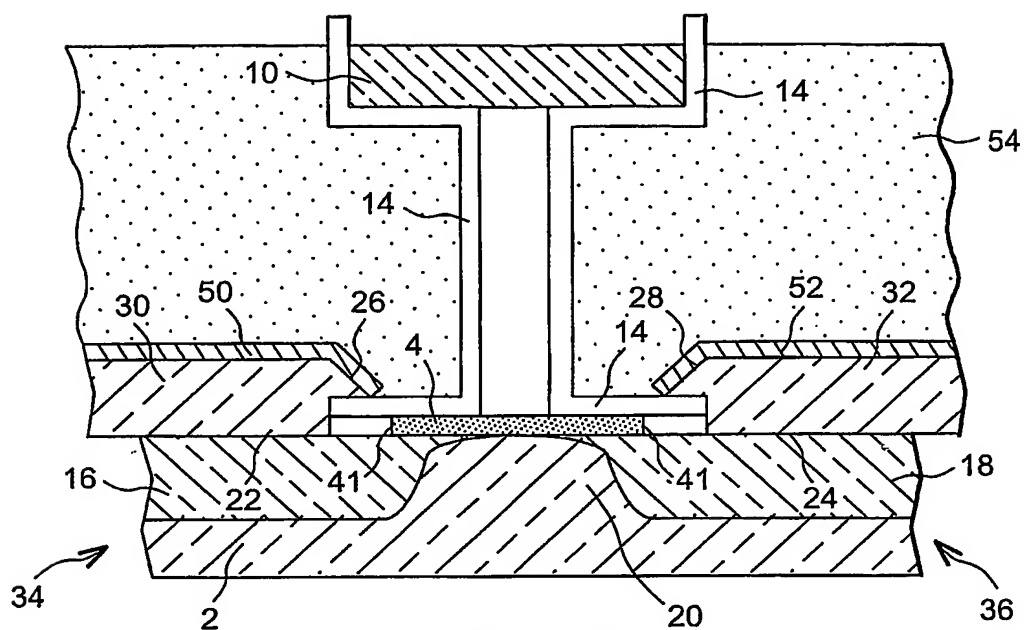


FIG. 10

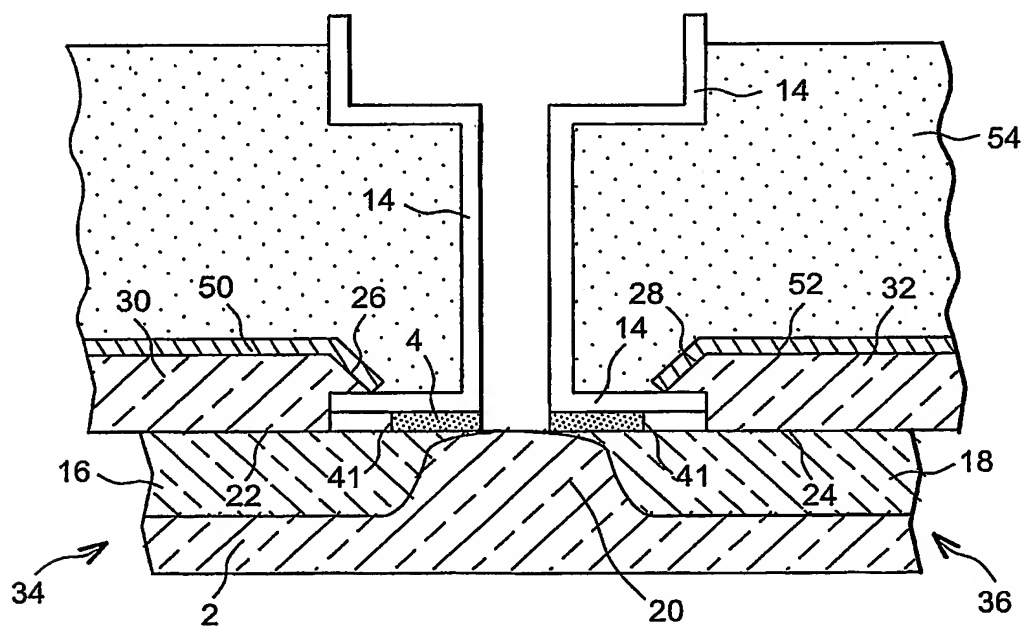


FIG. 11

6 / 6

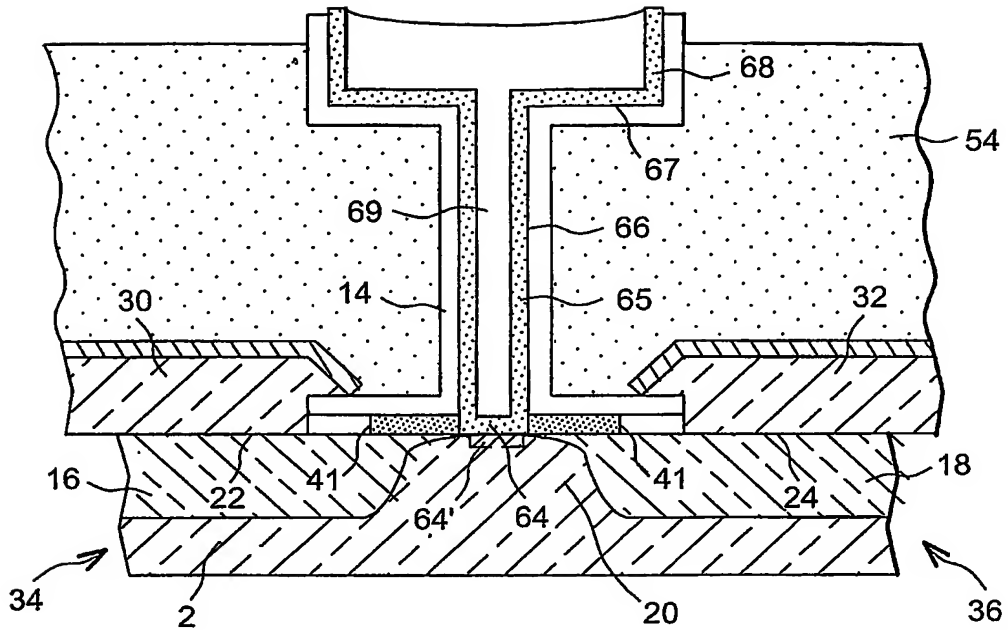


FIG. 12

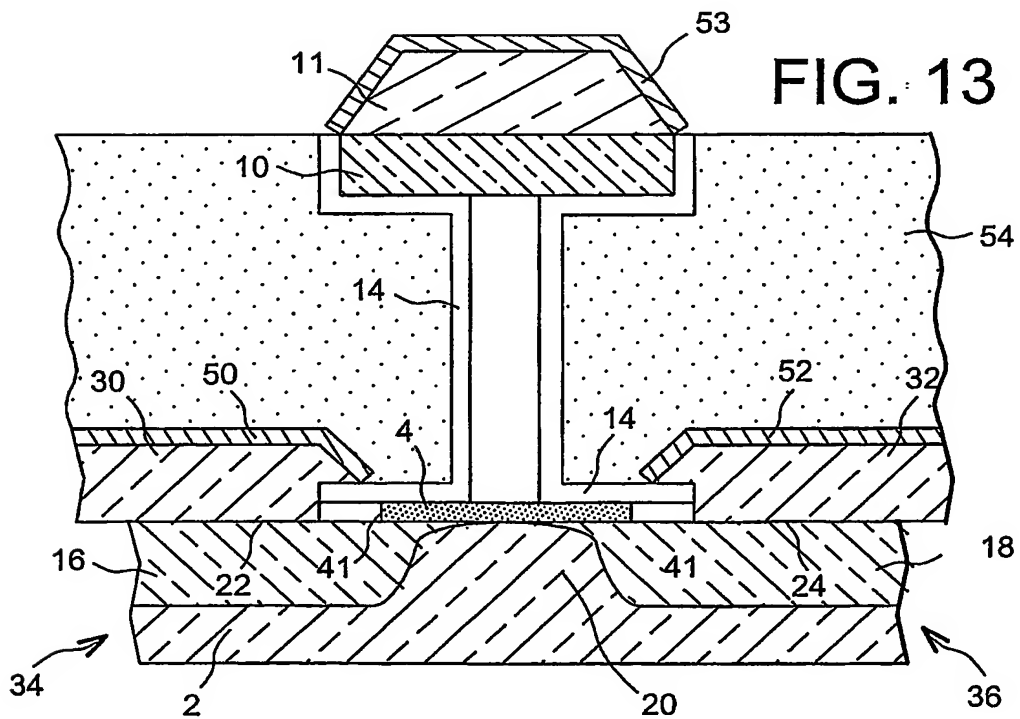


FIG. 13